

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-308110

(43)Date of publication of application : 02.11.2001

(51)Int.Cl.

H01L 21/338  
H01L 29/812  
H01L 29/778

(21)Application number : 2000-123015

(71)Applicant : RICOH CO LTD

(22)Date of filing : 24.04.2000

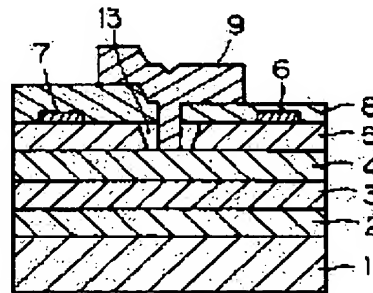
(72)Inventor : YONEDA YUTAKA

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a field effect transistor that has firm structure and low parasitic capacitance.

**SOLUTION:** An active layer is formed on a semiconductor substrate where non-doped GaAs and InGaAs layers 2 and 3, and n-type AlGaAs and GaAs layers 4 and 5 are subjected to epitaxial growth on a semi-insulating GaAs substrate 1, and source and drain electrodes 6 and 7 are formed by AuGe/Ni/Au alloy. An SiO<sub>2</sub> film 8 is formed on the substrate where the source and drain electrodes 6 and 7 are formed, the part between the source and drain electrodes 6 and 7 is opened, the n-type GaAs layer 5 is etched through the opening to form a recess groove 13, and a gate electrode 9 is provided. In this case, the SiO<sub>2</sub> film 8 is machined so that thickness at the side of the drain electrode 6 becomes larger than that at the side of the source electrode 6 of the gate electrode 9.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-308110

(P 2 0 0 1 - 3 0 8 1 1 0 A)

(43) 公開日 平成13年11月2日 (2001. 11. 2)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H01L 21/338		H01L 29/80	F 5F102
29/812			H
29/778			

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号 特願2000-123015 (P 2000-123015)

(22) 出願日 平成12年4月24日 (2000. 4. 24)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 米田 豊

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

(74) 代理人 100079843

弁理士 高野 明近 (外 2 名)

Fターム(参考) 5F102 FA00 GB01 GC01 GD01 GJ05

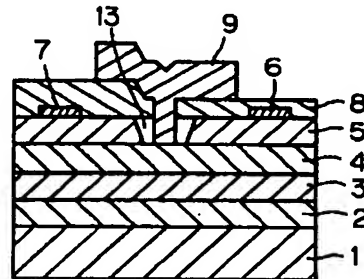
GQ01 GR04 GS04 GS06 GV05

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 強固な構造で寄生容量が低い電界効果トランジスタを提供する。

【解決手段】 半絶縁性GaAs基板1に、ノンドープGaAs層2、ノンドープInGaAs層3、n型AlGaAs層4、n型GaAs層5をエピタキシャル成長した半導体基板に活性層を形成し、ソース電極6及びドレイン電極7をAuGe/Ni/Au合金で形成している。このソース電極6ドレイン電極7を形成した基板にSiO<sub>2</sub>膜8を形成した後、ソース電極6とドレイン電極7の間を開口し、その開口を通してn型GaAs層5をエッチングしてリセス溝13を形成し、ゲート電極9を配設している。ここで、SiO<sub>2</sub>膜8はゲート電極9のソース電極6側の厚さよりドレイン電極7側の厚さが厚くなるように加工している。



## 【特許請求の範囲】

【請求項1】 活性層が形成された半導体基板上に絶縁膜を堆積し、該活性層が形成された半導体基板上にソース電極とドレイン電極を形成し、ソース電極とドレイン電極の間の絶縁膜に開口を有し、該開口部にゲート電極が配設された半導体装置において、前記ドレイン電極側の絶縁膜が前記ソース電極側の絶縁膜より厚いことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記ドレイン電極側の絶縁膜が2層を成していることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、絶縁膜を $\text{SiO}_2$ としたことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置、より詳細には、GaAs基板を用いた電界効果型トランジスタに関する。

## 【0002】

【従来の技術】 高移動度電界効果トランジスタ (HEMT: High Electron Mobility Transistor) を始めとする化合物半導体の電界効果型トランジスタは、その高い電子移動度から、マイクロ波やミリ波帯での応用が進められている。より高い周波数帯での応用のためには、ゲート長を狭くすることが最も効果的であり、現在では、ゲート長が $0.1\mu\text{m}$ オーダーの素子の開発、実用化も行われている。しかし、単純にゲート長を狭くした場合、ゲート幅方向の電極断面積も小さくなってゲート抵抗が増大し、素子の性能を低下させてしまうという問題がある。この問題を回避するために、ゲート長を狭く保ったまま断面積を確保することができるT字型のゲート電極が広く用いられている。

【0003】 図5は、従来のHEMTの構造を示す図で、図5において、1は半絶縁性GaAs基板、2はノンドープGaAsバッファ層、3はノンドープInGaAsチャネル層、4はn型AlGaAs電子供給層、5はn型GaAsオーミックコンタクト層、6はソース電極、7はドレイン電極、8は絶縁膜、9はT字型のゲート電極である。

【0004】 しかし、T字型のゲート電極は、図5に示したように、ゲート電極9の底部分とオーミックコンタクト層5との間に形成される容量が寄生容量として存在するという問題があった。特に、ドレイン電極7側に存在する寄生容量は、帰還容量として働くために、電力利得を低下させる原因となる。また、絶縁膜8を除去して、寄生容量を低減させる構造が提案されているが、ゲート電極9がT字型であるため、構造的に弱いという問題があった。

## 【0005】

【発明が解決しようとする課題】 上述したように、T字

型のゲート電極は、ゲート長の短縮とゲート電極の断面積の増大という点でトランジスタの高性能化を実現する効果的な構造であるが、T字型のゲート電極の底部と半導体基板との間に形成される寄生容量がトランジスタの帰還容量として働くため、トランジスタの特性が低下するという問題があった。また、寄生容量を低下させる構造が提案されているが、構造的に弱いという問題があった。

【0006】 本発明は、上述のごとき実情に鑑みてなされたもので、強固な構造で寄生容量が低い電界効果トランジスタを提供することを目的としたものである。

## 【0007】

【課題を解決するための手段】 本発明は、活性層が形成された半導体基板上に絶縁膜を堆積し、該活性層が形成された半導体基板上にソース電極とドレイン電極を形成し、ソース電極とドレイン電極の間の絶縁膜に開口を有し、該開口部にゲート電極が配設された半導体装置において、前記ドレイン電極側の絶縁膜が前記ソース電極側の絶縁膜より厚いことを特徴としている。すなわち、ゲート電極底部のドレイン電極側の絶縁膜を厚くすることでゲートドレイン寄生容量が低減しHEMT等のトランジスタの電力利得を向上させることが出来る。

【0008】 また、上記した半導体装置において、前記ドレイン電極側の絶縁膜が2層を成していることを特徴としている。更に、上記した半導体装置において、絶縁膜を $\text{SiO}_2$ とすることを特徴としている。

## 【0009】

【発明の実施の形態】 〔第1実施例〕 図1は、本発明による半導体装置の一実施例を説明するための断面模式図で、半絶縁性GaAs基板1に、ノンドープGaAs層2、ノンドープInGaAs層3、n型AlGaAs層4、n型GaAs層5をエピタキシャル成長した半導体基板に活性層（図示せず）を形成し、ソース電極6及びドレイン電極7をAuGe/Ni/Au合金で形成している。このソース電極6とドレイン電極7を形成した基板に $\text{SiO}_2$ 膜8を形成した後、ソース電極6とドレイン電極7の間を開口し、その開口を通してn型GaAs層5をエッチングしてリセス溝を形成し、ゲート電極9を配設している。ここで、 $\text{SiO}_2$ 膜8はゲート電極のソース側の厚さよりドレイン側の厚さが厚くなるように加工している。

【0010】 図2は、図1に示した本半導体装置の製造方法の概略を、工程順に図2(A)～図2(E)にて説明するための図で、

(a) : 半導体基板にソース電極6、ドレイン電極7を形成した後 $\text{SiO}_2$ 膜8を $4000\text{\AA}$ 堆積する(図2(A))。

(b) : フォトリソ resist 10でゲート電極形成予定領域のドレイン側をマスクする(図2(B))。

(c) : BHFでソース側の $\text{SiO}_2$ を $2000\text{\AA}$ エッ

チングする(図2(C))。

(d) : 電子線レジスト11を塗布し、 $\text{SiO}_2$ の厚さが2000Åの部分にゲート形成領域の開口12を設ける。このとき位置決めのパターン(アライメントマーク)は $\text{SiO}_2$ を2000Åエッチングしたエッジを使用する(図2(D))。

(e) : 次に、nGaAs層5をエッチングしてリセス溝13を形成し、ゲートの底部を形成するためのパターンをフォトリソで形成した後、ゲート金属を堆積、リフトオフしてゲート電極9を形成する(図2(E))。

【0011】上記実施例による構造の半導体装置では、従来構造のHEMTの帰還容量が40fF、最大有能電力利得 $f_{\text{max}}=80\text{GHz}$ であったが、本発明の半導体装置では帰還容量が30fF、 $f_{\text{max}}=98\text{GHz}$ が得られた。

【0012】〔第2実施例〕図3は、本発明による半導体装置の他の実施例を説明するための断面模式図で、半絶縁性GaAs基板1に、ノンドープGaAs層2、ノンドープInGaAs層3、n型AlGaAs層4、n型GaAs層5をエピタキシャル成長した半導体基板に活性層(図示せず)を形成し、ソース電極6及びドレイン電極7をAuGe/Ni/Au合金で形成している。このソース電極6ドレイン電極7を形成した基板にゲート金属9を中心にソース側にはSiN膜14、ドレイン側には $\text{SiO}_2$ 膜8とSiN膜14を形成している。

【0013】図4は、図3に示した半導体装置の製造方法の概略を、工程順に図4(A)～図4(G)にて説明するための図で、

(a) : 半導体基板にソース電極6、ドレイン電極7を形成した後、 $\text{SiO}_2$ 膜8を2000Å堆積する(図4(A))。

(b) : フォトレジスト10でゲート電極形成予定領域のドレイン側をマスクする(図4(B))。

(c) : BHFでソース側の $\text{SiO}_2$ を除去する(図4(C))。

(d) : SiN膜10を全面に形成する(図4(D))。

(e) : 電子線レジストを塗布し、SiN膜14と $\text{SiO}_2$ 膜8の段差部分にゲート形成領域の開口12を設ける。このとき位置決めのパターン(アライメントマ

ク)は $\text{SiO}_2$ をエッチングしたエッジを使用する(図4(E))。

(f) : 開口12を通してSiN膜14をエッチングする(図4(F))。

(g) : 次に、nGaAs層5をエッチングしてリセス溝13を形成し、ゲートの底部を形成するためのパターンをフォトリソで形成した後、ゲート金属を堆積、リフトオフしてゲート電極9を形成する(図4(G))。

【0014】上記実施例による構造の半導体装置では、従来構造のHEMTの帰還容量が40fF、最大有能電力利得 $f_{\text{max}}=80\text{GHz}$ であったが、本発明の半導体装置では帰還容量が33fF、 $f_{\text{max}}=80\text{GHz}$ が得られた。

【0015】

【発明の効果】以上に説明したように、本発明によれば、活性層が形成された半導体基板上に絶縁膜を堆積し、該活性層が形成された半導体基板上にソース電極とドレイン電極を形成し、ソース電極とドレイン電極の間の絶縁膜に開口を設け、該開口部にゲート電極が配設された半導体装置において、ドレイン電極側の絶縁膜がソース電極側の絶縁膜より厚くすることで帰還容量が低減し、最大有能電力利得を向上させることが出来る。

【図面の簡単な説明】

【図1】 本発明に係る半導体装置の一実施例を説明するための模式断面図である。

【図2】 図1に示した半導体装置の製造工程を説明する各工程の断面図である。

【図3】 本発明に係る半導体装置の他の実施例を説明するための模式断面図である。

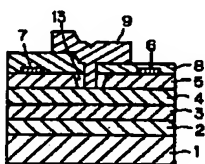
【図4】 図3に示した半導体装置の製造工程を説明する各工程の断面図である。

【図5】 従来の半導体装置の模式断面図である。

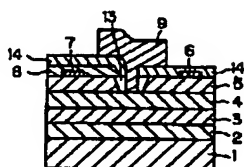
【符号の説明】

1…GaAs基板、2…ノンドープGaAsバッファ層、3…ノンドープInGaAsチャネル層、4…n型AlGaAs電子供給層、5…n型GaAsコンタクト層、6…ソース電極、7…ドレイン電極、8… $\text{SiO}_2$ 膜、9…ゲート電極、10…フォトレジスト、11…電子線レジスト、12…開口、13…リセス溝、14(14a、14b)…SiN膜。

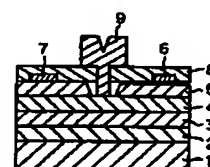
【図1】



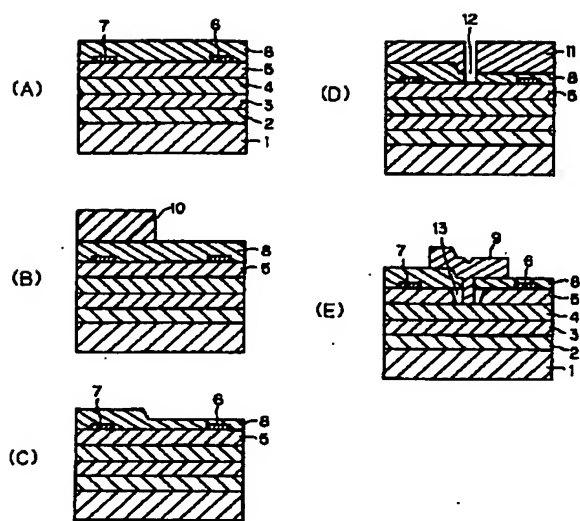
【図3】



【図5】



【図 2】



【図 4】

